

Practitioner's Docket No.: 040021-0305239
Client Reference No.: OPP 030850 US

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: SE-YEUL BAE

Confirmation No:

Application No.: 10/626,550

Group No.:

Filed: July 25, 2003

Examiner:

For: METHOD OF FORMING METAL WIRING IN A SEMICONDUCTOR DEVICE

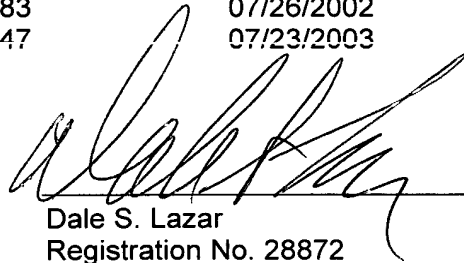
**Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450**

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
KOREA	10-2002-0044083	07/26/2002
KOREA	10-2003-0050647	07/23/2003

Date: November 5, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909


Dale S. Lazar
Registration No. 28872

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0044083
Application Number

출원년월일 : 2002년 07월 26일
Date of Application JUL 26, 2002

출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.

2003 년 07 월 23 일

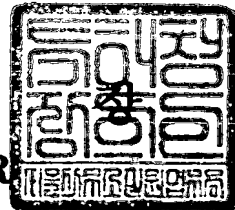


특

허

청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0001
【제출일자】 2002.07.26
【발명의 명칭】 다마신공정을 이용한 반도체소자의 금속배선 형성방법
【발명의 영문명칭】 Method for forming metal line of semiconductor device using damascene process
【출원인】
【명칭】 동부전자 주식회사
【출원인코드】 1-1998-106725-7
【대리인】
【성명】 강성배
【대리인코드】 9-1999-000101-3
【포괄위임등록번호】 2001-050901-4
【발명자】
【성명의 국문표기】 배세열
【성명의 영문표기】 BAE, Se Yeul
【주민등록번호】 690704-1010719
【우편번호】 467-850
【주소】 경기도 이천시 대월면 441-1 현대아파트 106동 1404호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】
【기본출원료】 11 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 6 항 301,000 원
【합계】 330,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 듀얼 다마신공정을 이용한 반도체소자의 금속배선 형성방법에 관한 것으로, 본 발명에 따른 다마신 공정을 이용한 반도체 소자의 금속배선 형성방법은 , 반도체기판상에 하부금속막패턴을 형성하는 단계; 상기 하부금속막 패턴을 포함한 반도체기판상에 층간절연막을 형성한후 그 위에 비아홀 형성용 제1감광막패턴을 형성하는 단계; 상기 제1감광막패턴을 마스크로 상기 층간절연막의 일부분을 일정두께만 식각하고 그아래부분을 남겨 두는 단계; 상기 제1감광막패턴을 제거한후 상기 비아홀주위의 층간절연막상에 다마신 형성용 제2감광막패턴을 형성하는 단계; 상기 제2감광막패턴을 마스크로 상기 층간절연막을 선택적으로 제거하여 상기 하부금속막패턴을 노출시키는 다마신콘택을 형성하는 단계; 및 상기 제2감광막패턴을 제거한후 다마신콘택내에 듀얼다마신 금속배선을 형성하는 단계를 포함하여 구성되며, 듀얼 다마신공정에서의 비아홀 불량을 방지하여 반도체 제조수율을 향상 시킬 수 있는 것이다.

【대표도】

도 9

【명세서】**【발명의 명칭】**

다마신공정을 이용한 반도체소자의 금속배선 형성방법{Method for forming metal line of semiconductor device using damascene process}

【도면의 간단한 설명】

도 1 내지 도 4는 종래기술에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법을 설명하기 위한 공정단면도.

도 5 내지 도 9는 본 발명에 따른 다마신공정을 이용한 반도체소자의 금속 배선 형성방법을 설명하기 위한 공정단면도.

[도면부호의설명]

31 : 반도체기판 33 : 하부금속막패턴

35 : 층간절연막 37 : 제1감광막패턴

39 : 비아홀 41 : 제2감광막패턴

43 : 다마신 콘택 45 : 금속배선

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로서, 보다 상세하게는 듀얼다마신공정에서의 비아홀 불량을 방지하기 위한 다마신공정을 이용한 반도체소자의 금속배선 형성방법에 관한 것이다.

- <9> 종래기술에 따른 반도체소자의 듀얼다마신공정에 대해 도 1 내지 도 4를 참조하여 설명하면 다음과 같다.
- <10> 도 1 내지 도 4는 종래기술에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법을 설명하기 위한 공정단면도이다.
- <11> 도 1에 도시된 바와같이, 먼저 반도체기판(11)상에 하부 금속패턴(13)을 형성한후 전체 구조의 상부에 두겹게 산화막(15)을 증착하고, 이어 상기 산화막(15)상에 비아홀 형성용 마스크인 제1감광막패턴(17)을 형성한다.
- <12> 그다음, 도 2에 도시된 바와같이, 상기 제1감광막패턴(17)을 이용하여 상기 산화막(15)을 식각하여 상기 하부금속패턴(13)을 노출시키는 비아홀(19)을 형성한다.
- <13> 이어서, 도 3에 도시된 바와같이, 상기 비아홀(19)주위의 산화막(15)상에 다마신콘택 형성용 제2감광막패턴(21)을 형성한다.
- <14> 그다음, 상기 제2감광막패턴(21)을 마스크로 상기 산화막(15)을 선택적으로 제거하여 다마신콘택(미도시)을 형성한후 그 내부에 금속물질을 채워 금속다마신패턴(23)을 형성한다. 이때, 금속다마신 형성을 위한 식각시에 사전에 형성해 놓은 비아홀의 측벽 및 하부금속에 공격을 가해 비아홀 개구성 불량 내지는 비아홀 보이드를 유발하여 디바이스의 신뢰성에 치명적인 영향을 미치게 된다.

【발명이 이루고자 하는 기술적 과제】

- <15> 이러한 불량(fail)을 방지하기 위한 또다른 종래기술에 따른 다마신공정을 살펴 보면, 먼저 하부 금속패턴 상부에 두겹게 산화막을 증착한후 비아홀 형성용 마스크를 사용하여 비아홀을 형성한다.

- <16> 그다음, 금속형성용 포토 공정시에 하부 반사방지막을 두껍게 도포하여 비아홀을 채운후 다마신 금속형성시에 비아홀의 공격을 방지한다.
- <17> 그러나, 이러한 방법을 사용할 경우에 나타나는 문제점은 바닥 반사방지막의 홀 매립에 어려움이 있으며, 금속 다마신 형성시에 반사방지막과 산화막간의 선택비가 비슷하여 식각 배리어로써 제대로 역할을 하지 못한다.
- <18> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 듀얼 다마신공정에서의 비아홀 불량을 방지하여 반도체 제조수율을 향상 시킬 수 있는 다마신 공정을 이용한 반도체소자의 금속배선 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

- <19> 상기 목적을 달성하기 위한 본 발명에 따른 다마신 공정을 이용한 반도체 소자의 금속 배선 형성방법은, 반도체기판상에 하부금속막패턴을 형성하는 단계; 상기 하부금속막패턴을 포함한 반도체기판상에 층간절연막을 형성한후 그 위에 비아홀 형성용 제1감광막패턴을 형성하는 단계; 상기 제1감광막패턴을 마스크로 상기 층간절연막의 일부분을 일정 두께만 식각하고 그아래부분을 남겨 두는 단계; 상기 제1감광막패턴을 제거한후 상기 비아홀주위의 층간절연막상에 다마신 형성용 제2감광막패턴을 형성하는 단계; 상기 제2감광막패턴을 마스크로 상기 층간절연막을 선택적으로 제거하여 상기 하부금속막패턴을 노출시키는 다마신콘택을 형성하는 단계; 및 상기 제2감광막패턴을 제거한후 다마신콘택내에 듀얼다마신 금속배선을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

- <20> (실시예)

- <21> 이하, 본 발명에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <22> 도 5 내지 도 9는 본 발명에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법을 설명하기 위한 공정단면도이다.
- <23> 본 발명에 따른 다마신 공정을 이용한 반도체소자의 금속배선 형성방법은, 도 1에 도시된 바와같이, 먼저 반도체기판(11)상에 하부금속막패턴(13)을 형성한후 전체 구조의 상면에 층간절연막(15)을 두껍게 증착하고 이어 상기 층간절연막(15)상에 비아홀 형성용 마스크로 사용할 제1감광막패턴(17)을 형성한다.
- <24> 그다음, 도 2에 도시된 바와같이, 상기 비아홀 형성용 마스크인 제1감광막패턴(17)을 이용하여 상기 층간절연막(23)의 일부만 식각하여 비아홀(19)을 형성하고 나머지 일정량은 남겨 놓는다. 여기서, 남기는 절연막의 두께는 이후 금속 다마신을 형성하기 위한 금속의 두께정도로 형성한다. 또한, 비아홀을 형성하기 위한 식각시에 하부금속막패턴이 드러나지 않으므로 식각에 의한 하부 금속공격(metal attack)이 없으며, 듀얼다마신 공정시에 비아홀의 하부는 단 한번 드러 나므로 비아홀 측벽의 공격 역시 최소화시킬 수 있어 반도체소자의 신뢰성 개발 및 수율을 크게 증진시킬 수 있다.
- <25> 이어서, 도 3에 도시된 바와같이, 상기 제1감광막패턴(17)을 제거한후 전체 구조의 상면에 다마신 콘택 형성용 마스크로 사용할 제2 감광막패턴(21)을 형성한다.
- <26> 그다음, 도 4에 도시된 바와같이, 상기 다마신 콘택 형성용 제2 감광막패턴(21)을 이용하여 금속 두께만큼의 절연막을 식각하여 다마신콘택(23)을 형성한다. 이때, 앞서

형성된 비아홀(19)내부에서는 잔류한 절연막이 동시에 식각진행되어 하부 금속막패턴(13)이 드러나게 된다.

<27> 이어서, 도 5에 도시된 바와같이, 상기 제2감광막패턴(21)을 제거한후 상기 다마신 콘택(23)을 포함한 층간절연막(15b)상에 금속물질을 증착한후 이를 CMP하여 듀얼 다마신 금속배선(25)을 형성한다.

【발명의 효과】

<28> 상기에서 설명한 바와같이, 본 발명에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법에 의하면, 비아홀 식각시에 일부만 식각하고 금속다마신 패턴 식각시에 비아홀내에 잔류량을 최종적으로 식각하고 하부금속을 개구시켜 비아홀측벽과 하부의 금속공격을 방지하므로써 구리를 이용하는 최근의 디바이스에서 수율향상에 큰 효과가 있다.

<29> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

반도체기판상에 하부금속막패턴을 형성하는 단계;

상기 하부금속막패턴을 포함한 반도체기판상에 층간절연막을 형성한후 그 위에 비아홀 형성용 제1감광막패턴을 형성하는 단계;

상기 제1감광막패턴을 마스크로 상기 층간절연막의 일부분을 일정두께만 식각하고 그아래부분을 남겨 두는 단계;

상기 제1감광막패턴을 제거한후 상기 비아홀주위의 층간절연막상에 다마신 형성용 제2감광막패턴을 형성하는 단계;

상기 제2감광막패턴을 마스크로 상기 층간절연막을 선택적으로 제거하여 상기 하부금속막패턴을 노출시키는 다마신콘택을 형성하는 단계; 및

상기 제2감광막패턴을 제거한후 다마신콘택내에 듀얼다마신 금속배선을 형성하는 단계를 포함하여 구성되는 것을 특징으로하는 다마신을 이용한 반도체소자의 금속배선 형성방법.

【청구항 2】

제1항에 있어서, 상기 층간절연막으로는 저온의 산화막을 사용하는 것을 특징으로하는 다마신을 이용한 반도체소자의 금속배선 형성방법.

【청구항 3】

제1항에 있어서, 상기 비아홀 형성시에 남기는 층간절연막의 두께는 상부에 형성하는 금속배선의 두께보다는 작게 남기는 것을 특징으로하는 다마신을 이용한 반도체소자의 금속배선 형성방법.

【청구항 4】

제1항에 있어서, 다마신콘택 형성시에 비아홀내부에 잔류하는 절연막이 동시에 식각진행되어 하부금속막패턴이 들어나는 것을 특징으로하는 다마신을 이용한 반도체소자의 금속배선 형성방법.

【청구항 5】

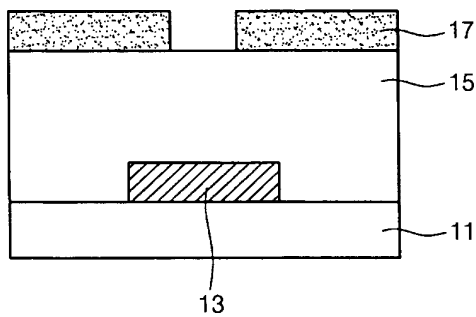
제1항에 있어서, 상기 금속배선 형성용 물질로는 Cu, Al, W 중에서 하나를 선택하여 사용하는 것을 특징으로하는 다마신을 이용한 반도체소자의 금속배선 형성방법.

【청구항 6】

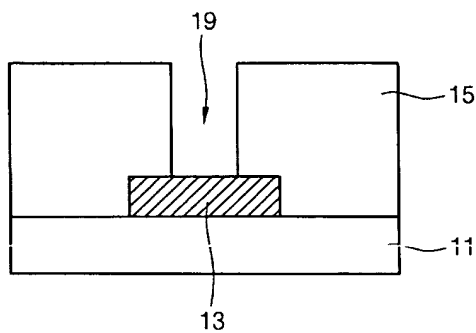
제1항에 있어서, 상기 금속배선은 다마신콘택을 포함한 층간절연막상에 금속물질을 증착한후 CMP공정에 의해 평탄화시켜 형성하는 것을 특징으로하는 다마신을 이용한 반도체소자의 금속배선 형성방법.

【도면】

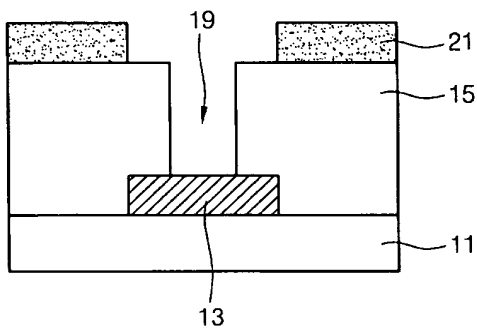
【도 1】



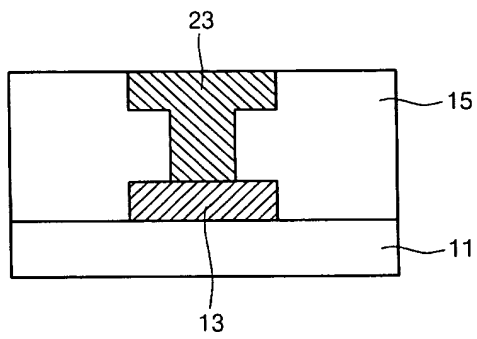
【도 2】



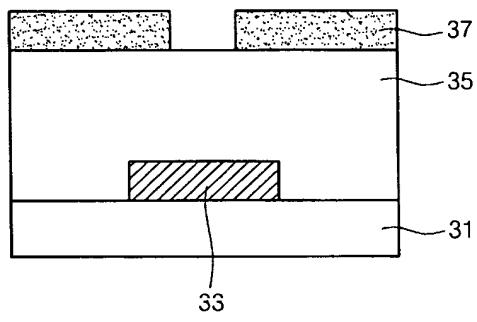
【도 3】



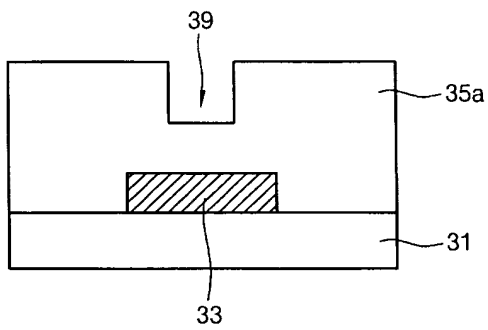
【도 4】



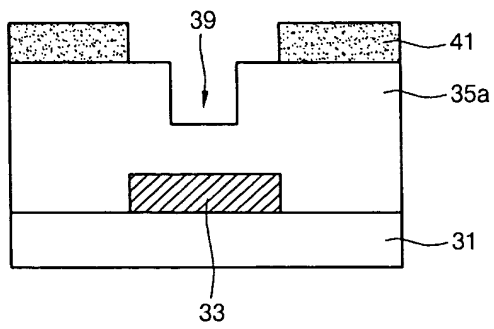
【도 5】



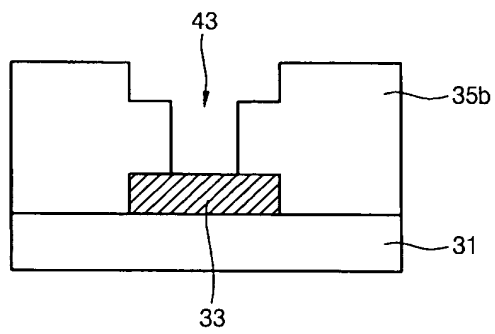
【도 6】



【도 7】



【도 8】



【도 9】

